

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-101139

(43)Date of publication of application : 20.05.1986

(51)Int.Cl.

H04L 7/08  
G11B 20/10

(21)Application number : 59-223369

(71)Applicant : PIONEER ELECTRONIC CORP

(22)Date of filing : 24.10.1984

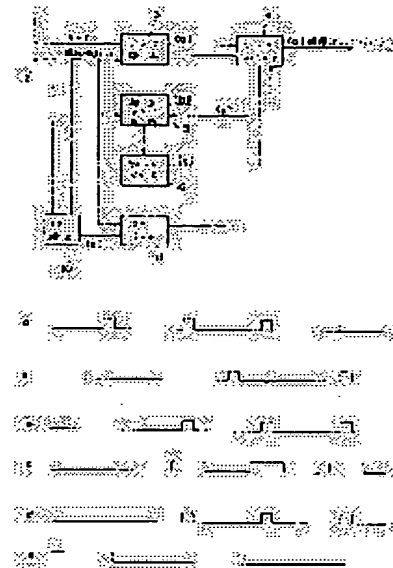
(72)Inventor : TSUDA YOICHIRO

## (54) SYNCHRONIZING SIGNAL DETECTOR

## (57)Abstract:

**PURPOSE:** To correct a synchronizing signal even if a synchronizing signal is not detected due to a data error by switching the mode into a hunting or non-hunting state corresponding to error information of the data so as to attain quick detection and reading of accurate data.

**CONSTITUTION:** A synchronism signal controller 4 supervising an output of a latch circuit 11 gives a high level signal (e) at the initial state to cause a generating circuit 5 into the hunting state. When a detection circuit 3 detects a synchronizing signal (a) not attended with an error flag (g), the generating circuit 5 is rest in the timing to start the count of a clock. The signal (e) is brought immediately into a low level to release the hunting state. When the synchronizing signal (a) is detected in a window pulse (c) generated next, a signal (d) is outputted in the timing, even if no (a) is detected, while the error flag (g) is detected, the signal (d) is outputted in the timing of a correction synchronizing signal (b). On the other hand, in the non-hunting state, when no error flag (g) is detected and no (a) is detected in the window pulse (c), the mode is transited immediately into the hunting state.



## ⑫ 公開特許公報(A)

昭61-101139

⑪ Int.Cl.<sup>4</sup>H 04 L 7/08  
G 11 B 20/10

識別記号

庁内整理番号

A-6745-5K  
6733-5D

⑬ 公開 昭和61年(1986)5月20日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 シンク検出装置

⑮ 特 願 昭59-223369

⑯ 出 願 昭59(1984)10月24日

⑰ 発 明 者 津 田 洋 一 郎 所沢市花園4丁目2610番地 バイオニア株式会社所沢工場内

⑱ 出 願 人 バイオニア株式会社 東京都目黒区目黒1丁目4番1号

⑲ 代 理 人 弁理士 稲本 義雄

## 明 細 書

## 1. 発明の名称

シンク検出装置

## 2. 特許請求の範囲

(1) クロックを基準としてデジタルデータよりシンクを検出するシンク検出回路と、該クロックに同期して補正シンクを生成する生成回路と、該クロックに同期して該シンクの周期と等しい周期で、該シンクと等しいか又は長い幅のウインドパルスを発生するウインドパルス発生回路と、該デジタルデータのエラーを検出するエラー検出回路とを備え、該エラー検出回路の検出状態に対応してハンテイング状態から非ハンテイング状態への切り換え、又は非ハンテイング状態からハンテイング状態への切り換えるうち少なくとも一方を制御することを特徴とするシンク検出装置。

(2) 該シンクが検出されかつ該エラーが検出されないとき、該ハンテイング状態から該非ハンテイング状態に切り換えることを特徴とする特許請求の範囲第1項記載のシンク検出装置。

(3) 該ウインドパルス内で該シンクが検出されずかつ該エラーが検出されないとき、該非ハンテイング状態からハンテイング状態に切り換えることを特徴とする特許請求の範囲第1項又は第2項記載のシンク検出装置。

(4) 該シンクが該ウインドパルス内で検出されている場合はその検出されたタイミングの信号を出力し、該シンクが該ウインドパルス内で検出されず、かつ該エラーが検出された場合は、該補正シンクのタイミングの信号を出力することを特徴とする特許請求の範囲第1項、第2項又は第3項記載のシンク検出装置。

(5) 該シンクのビット数が該エラーの検出単位ビット数より多い場合、該シンクの1部のビットについてエラーが検出されたときはそのシンクをエラーとすることを特徴とする特許請求の範囲第1項乃至第4項のいずれかに記載のシンク検出装置。

(6) 該デジタルデータはRAMに一旦書き込まれた後、所定の読出しクロックで読みだされ、

該ウインドパルスの幅は該シンクの幅と等しいことを特徴とする特許請求の範囲第1項乃至第5項のいずれかに記載のシンク検出装置。

### 3. 発明の詳細な説明

#### 〔産業上の利用分野〕

本発明はデジタルデータのシンクを検出するシンク検出装置に関する。

#### 〔従来技術〕

デジタルデータには所定周期ごとにシンクが設けられ、そのシンクを基準として所定ビット後に所定のデータが位置付けられるようになっているのが普通である。例えば光学的デジタルオーディオディスクにおいては、最大間隔の反転を2回連続させてこれをシンクとし、斯かるパターンはシンク以外には発生しないように規則付けられている。

第5図は従来シンク検出装置のブロック図を示している。同図において1はデジタルデータが、また2は読み取り用のクロックが各々入力される入力端子である。3はクロックを基準として

から印加されるクロックを計数する。計数値が所定値に達したとき（シンクの周期と等しい時間が経過したとき）生成回路5は補正シンク（b）を発生する。従ってこのときの補正シンク（b）は検出回路3が検出したシンク（a）と同期することになる。またウインドパルス発生器6は、補正シンク（b）と同じ周期で、補正シンク（b）を中央に位置させるように、補正シンク（b）と等しいか又はそれより長い幅のパルス（c）を出力する。これらの信号はいずれもシンクコントローラ4に入力されている。シンクコントローラ4はウインドパルス（c）が発生している間にシンク（a）が検出されるか否かを判定し、連続してウインドパルス（c）内においてシンク（a）が検出された数をカウンタ7に計数させている。そしてその値が所定値（例えば4）に達したとき、正規のシンクが検出されているとして、信号（e）を低レベルとし、ハンティング状態を解除する。その所定の値は1でもよいが、ノイズが誤ってシンクとして検出される場合もあるので斯かる場合

デジタルデータからシンクを検出するシンク検出回路であり、その検出したタイミングの信号をシンクコントローラ4に出力している。5は補正シンクを生成する生成回路であり、例えばカウンタからなり、クロックを所定数計数したとき補正シンクを出力するようになっている。6はウインドパルス発生器であり、シンクあるいは補正シンクと等しいかその前後に亘る幅のパルスをクロックに同期して発生している。7はカウンタであり、連続してウインドパルス内にシンクが存在しない場合の数や、連続してウインドパルス内にシンクが存在した場合の数を計数している。

しかしその動作を第6図及び第7図を参照して説明する。第6図に示す如く、初期状態においては検出回路3が検出するシンク（a）と生成回路5が発生する補正シンク（b）とは同期していない。そこでシンクコントローラ4は生成回路5に信号（e）を送り、ハンティング状態とする。すなわち生成回路5は、検出回路3がシンクを検出したタイミングで一旦リセットされ、そのとき

を避けるため、その値は2以上とされる。以後は検出回路3により検出されたシンクのタイミングで信号（d）を出力し、もしウインドパルス（c）内においてシンク（a）が検出されないときは、補正シンク（b）のタイミングで信号（d）を出力する。従ってシンク（a）が欠落したとしても正規のタイミングで信号（d）が出力されることになる。

しかしながらウインドパルス（c）内にシンク（a）が存在しないことが余りにも多く発生する場合は、単なるシンクの欠落である可能性より、シンク（a）と補正シンク（b）との同期がずれた可能性が高くなる。そこでシンクコントローラ4は非ハンティング状態においてはカウンタ7に、連続してウインドパルス（c）内にシンク（a）が存在しない回数を計数させ、第7図に示す如くその数が所定値（例えば8）に達したとき、信号（e）を高レベルとし、生成回路5をハンティング状態に切り換え、前述した場合と同様の動作を行う。

〔発明が解決しようとする問題点〕

しかしながら従来の斯かる装置においては、ウインドパルス内にシンクが存在しても、しなくてもそれが複数回起こらないとハンティング状態あるいは非ハンティング状態とならず、それだけ同期ずれあるいは同期したことの検出が遅く、データを誤って読み取る可能性が高かった。

〔問題点を解決するための手段〕

第1図は本発明のシンク検出装置のブロック図を表しており、第5図における場合と対応する部分には同一の符号を付してあり、その詳述は省略する。同図において10は入力端子1と2とより入力されるデジタルデータとクロック信号から、デジタルデータを読み取り、エラーがあった場合はそれを検出するエラー検出回路である。11はエラー検出回路10がエラーを検出し、エラーフラッグを出力したとき、少なくともシンクの期間中これをラッチするラッチ回路である。例えば第4図に示す如く、シンクが6ワード(1ワードは16ビット)よりなり(第4図(h))、エラ

シンク(a)が検出されなくとも、そのときエラーフラッグ(g)が検出されていれば補正シンク(b)のタイミングで信号(d)を出力する。

一方第3図に示す如く、非ハンティング状態において、エラーフラッグ(g)が検出されず、しかもシンク(a)がウインドパルス(c)内において検出されないときは、補正シンク(b)のタイミングによる信号(d)を出力せず、直ちにハンティング状態に移行する。そして前述した場合と同様、エラーフラッグ(g)を伴わないシンク(a)が検出された時点で再び非ハンティング状態に切り換えられる。

尚ウインドの幅は、データのビットずれによりシンクが数ビット前又は後にずれた場合でも検出できるようにするものであり、例えばシンクとシンクの間が数百ビットあるときこの幅として数ビットの余裕を持たせるのが有効であるが、データが一旦RAM内に書き込まれ、欠落のない読出しクロックで読みだされるような場合は、ウインド幅は特に余裕を持たせる必要がない。この場合は

一の検出単位が1ワードであり、シンクビット中の1部にエラーがあってエラーフラッグ(第4図(i))が出力されたとき、このシンク期間中エラーフラッグはラッチされる。またデータはシリアルでもパラレルでも所定の単位ごとにエラーフラッグが付けられるようになっていればよい。

〔作用〕

次にその動作について第2図及び第3図を参照して説明する。ラッチ回路11の出力を常に監視しているシンクコントローラ4は、第2図に示すように、初期状態において信号(e)を高レベルとして生成回路5をハンティング状態とする。そして検出回路3がエラーフラッグ(g)を伴わないシンク(a)を検出すると、そのタイミングで生成回路5をリセットし、クロックの計数を開始させる。それと同時に直ちに信号(e)を低レベルとし、ハンティング状態を解除する。次に発生するウインドパルス(c)内においてシンク(a)が検出されればそのタイミングで信号(d)を出力する。そしてウインドパルス(c)内において

検出シンクと補正シンクとのタイミングを直接比較して、検出シンクの有無を検出することが可能である。

〔効果〕

以上の如く本発明においては、データのエラー情報を監視し、エラー情報に対応してハンティング又は非ハンティング状態へ直ちに切り換わるようにしたので、迅速な検出が可能となり、正確なデータの読取を行うことができる。しかもデータエラーによりシンクが検出できない場合でも連続して補正シンクを発生し、シンクを補正することができる。また光学的デジタルオーディオディスク等のように、データ中にシンク以外にシンクパターンが存在しないフォーマットにおいては、シンクが本来発生する時以外に検出されたシンクは全てデータエラーにより生じられた誤ったシンクなので必ずエラーフラッグが検出される。従ってエラーフラッグを監視することにより正規のシンクとエラーシンクとを識別することができ、ハンティングの解除をより迅速かつ正確に行うこと

ができる。

#### 4. 図面の簡単な説明

第1図は本発明のシンク検出装置のブロック図、第2図及び第3図はそのタイミングチャート、第4図はそのシンクとエラーフラッグのタイミングチャート、第5図は従来のシンク検出装置のブロック図、第6図及び第7図はそのタイミングチャートである。

1、2・・・入力端子

3、10・・・検出回路

4・・・シンクコントローラ

5・・・生成回路

6・・・ウインドパルス発生回路

7・・・カウンタ 11・・・ラッチ回路

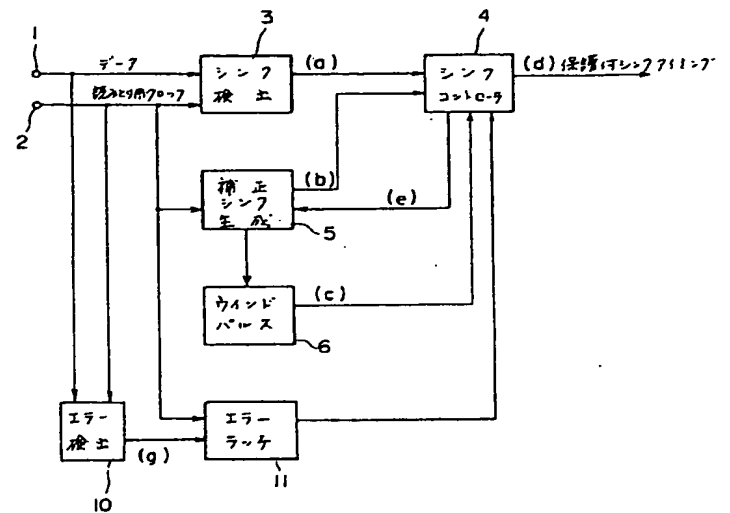
以上

特許出願人

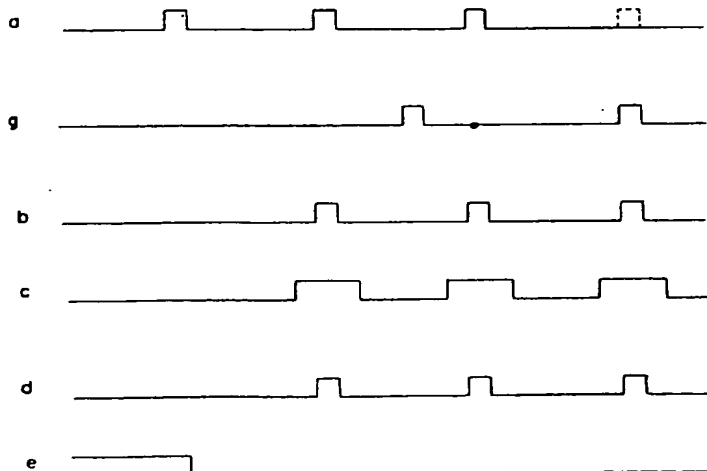
バイオニア株式会社

代理人 弁理士 稲本義雄

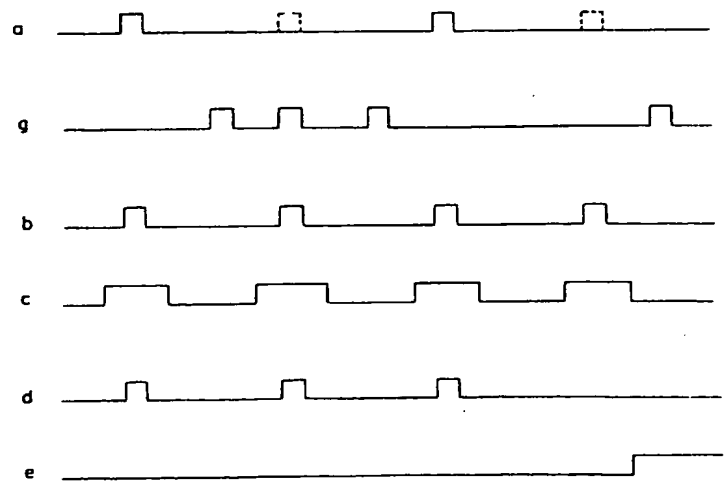
第1図



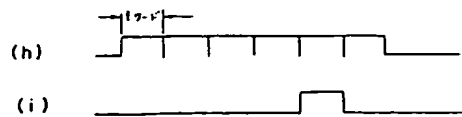
第2図



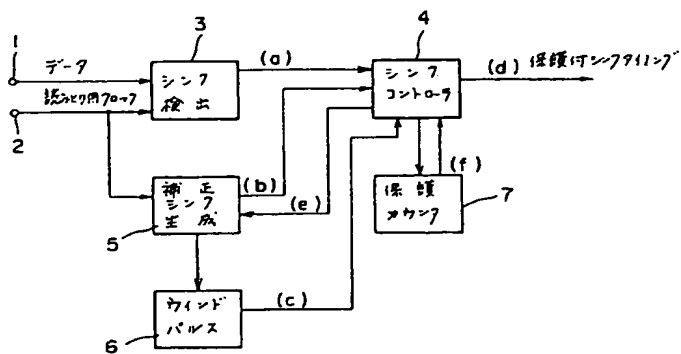
第3図



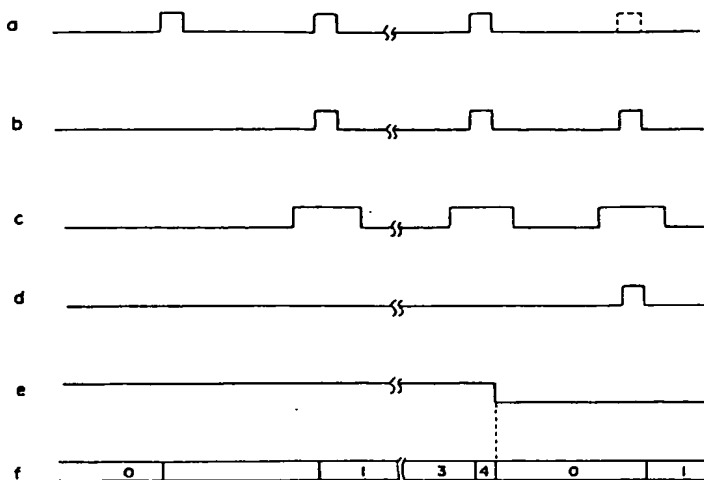
第 4 図



第 5 図



第 6 図



第 7 図

